

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-110828

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

G06F 13/362

G06F 12/00

(21)Application number : 04-258673

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.1992

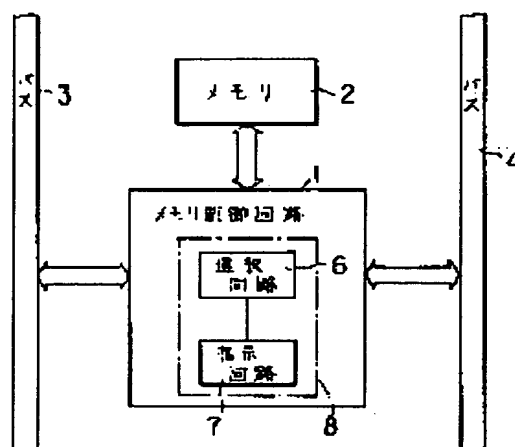
(72)Inventor : MATSUBARA ATSUSHI

(54) MEMORY CONTROLLER

(57)Abstract:

PURPOSE: To improve the universal applicability of a memory controller by setting freely the access priority when ≥ 2 buses have accesses to a memory at one time.

CONSTITUTION: When two or more buses 3 and 4 have accesses to a memory 2, a fixed preference mode giving the preference to the access of one of both buses 3 and 4 to the bus or a rotary preference mode giving sequentially the preference to accesses of both buses 3 and 4 to the memory 2 is designated. When the fixed preference mode is designated to one of both buses 3 and 4, the processing is carried out in accordance with the contents of the access given to the memory 2 from the designated bus. Meanwhile the processing is carried out in accordance with the contents of accesses which are successively given to the memory 2 from both buses 3 and 4 when the rotary preference mode is designated.



LEGAL STATUS

[Date of request for examination] 21.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] abandonment

[Date of final disposal for application] 21.10.2002

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平6-110828

(43) 公開日 平成6年(1994)4月22日

(51) Int. Cl. ⁵	識別記号	F I
G06F 13/362	510 E 9072-5B	
12/00	571 9366-5B	

審査請求 未請求 請求項の数 1 (全3頁)

(21) 出願番号 特願平4-258673

(22) 出願日 平成4年(1992)9月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松原 淳

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

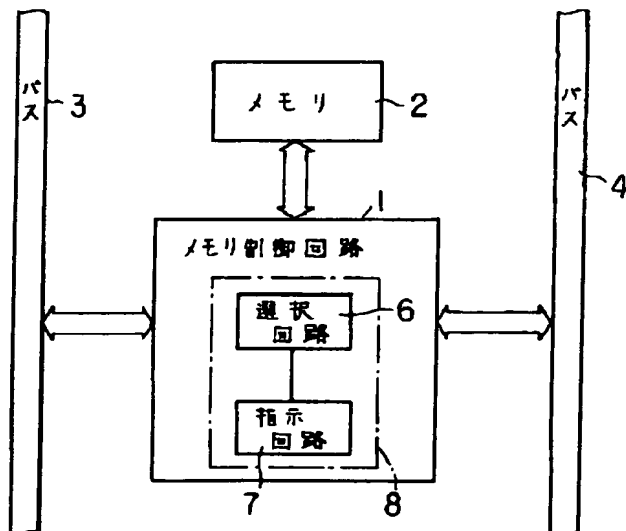
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【目的】 この発明は、2つの以上のバス3、4からメモリ2がアクセスされるものにおいて、2つ以上のバス3、4からメモリ2をアクセスする場合のアクセスの優先順位を自由に設定でき、汎用性を向上できることを目的とする。

【構成】 この発明は、2つの以上のバス3、4からメモリ2がアクセスされるものにおいて、1つのバス3、4からのメモリ2のアクセスを優先する固定優先モードと各バス3、4からのメモリ2のアクセスを順次優先する回転優先モードとのいずれか一方を指示し、1つのバス(3、4)に対する固定優先モードが指示されている場合に、そのバス(3、4)からのメモリ2のアクセス内容に応じた処理を実行し、回転優先モードが指示されている場合に、順次異なったバス(3、4)からのメモリ2のアクセス内容に応じた処理を実行するものである。



【特許請求の範囲】

【請求項 1】 2つの以上のバスからメモリがアクセスされるメモリ制御装置において、

1つのバスからのメモリのアクセスを優先する固定優先モードと各バスからのメモリのアクセスを順次優先する回転優先モードとのいずれか一方を指示する指示手段と、

この指示手段の指示に応じて、1つのバスに対する固定優先モードが指示されている場合に、そのバスからのメモリのアクセス内容に応じた処理を実行し、上記指示手段の指示に応じて、回転優先モードが指示されている場合に、順次異なったバスからのメモリのアクセス内容に応じた処理を実行する実行手段と、

を具備したことを特徴とするメモリ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、2つの以上のバスからメモリがアクセスされるメモリ制御装置に関する。

【0002】

【従来の技術】従来、2つの以上のバスからメモリがアクセスされるメモリ制御装置においては、ラウンドロビン方式にて処理していた。このため、1つのバスからのメモリアクセスを優先することができなかった。

【0003】

【発明が解決しようとする課題】この発明は、上記したように、2つの以上のバスからメモリがアクセスされるメモリ制御装置において、ラウンドロビン方式にて処理していたため、1つのバスからのメモリアクセスを優先することができないという欠点を除去するもので、2つ以上のバスからメモリをアクセスする場合のアクセスの優先順位を自由に設定でき、汎用性を向上できるメモリ制御装置を提供することを目的とする。

【0004】

【課題を解決するための手段】この発明のメモリ制御装置は、2つの以上のバスからメモリがアクセスされるものにおいて、1つのバスからのメモリのアクセスを優先する固定優先モードと各バスからのメモリのアクセスを順次優先する回転優先モードとのいずれか一方を指示する指示手段、およびこの指示手段の指示に応じて、1つのバスに対する固定優先モードが指示されている場合に、そのバスからのメモリのアクセス内容に応じた処理を実行し、上記指示手段の指示に応じて、回転優先モードが指示されている場合に、順次異なったバスからのメモリのアクセス内容に応じた処理を実行する実行手段から構成されている。

【0005】

【作用】この発明は、上記のような構成において、2つの以上のバスからメモリがアクセスされるものにおいて、1つのバスからのメモリのアクセスを優先する固定優先モードと各バスからのメモリのアクセスを順次優先

する回転優先モードとのいずれか一方を指示し、1つのバスに対する固定優先モードが指示されている場合に、そのバスからのメモリのアクセス内容に応じた処理を実行し、回転優先モードが指示されている場合に、順次異なったバスからのメモリのアクセス内容に応じた処理を実行するようにしたものである。

【0006】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1はこの発明のメモリ制御装置を示すものである。すなわち、メモリ制御回路1、データ記憶用のメモリ2、およびバス3、4によって構成されている。

【0007】メモリ制御回路1は、バス3あるいはバス4から供給されるアクセス要求としての外部の制御回路（図示しない）等からのアドレス、データ、リード／ライト等の制御信号をメモリ2へ出力するものである。

【0008】メモリ制御回路1は、バス3あるいはバス4から供給されるアクセス要求の優先順位を固定優先モードあるいは回転優先モードの設定内容に応じて決定するものである。

【0009】上記メモリ制御回路1は、図1に示すように、選択回路（アービトレーション部）6、および指示回路7を有している。これらの回路は、たとえば同一基板8上に構成されている。

【0010】指示回路7は、上記基板8上でハイレベルあるいはローレベルに選択的に固定できる構成となっていたり、あるいはディップスイッチにより、2種類の第1、第2の選択信号（ハイレベルあるいはローレベル）を選択回路6へ出力するものである。それらの選択信号により、選択条件としてのアービトレーションの条件を変更できるようにしたものである。

【0011】たとえば、図2に示すように、第1の選択信号がハイレベルで、第2の選択信号がローレベルの場合（1，0）、バス3からのアクセス要求を優先的に受付ける固定優先モードを指示し、第1の選択信号がローレベルで、第2の選択信号がハイレベルの場合（0，1）、バス4からのアクセス要求を優先的に受付ける固定優先モードを指示し、第1、第2の選択信号がともにハイレベルあるいはローレベルの場合（0，0、あるいは1，1）、回転優先モード（ラウンドロビン方式）を指示する。指示回路7は、2つの外部セレクトピン（図示しない）に供給される信号により指示を決定するものであっても良い。

【0012】選択回路6は、指示回路7からの指示信号と現在実行中のアクセス処理の状況とに応じて、バス3あるいはバス4からのアクセス要求を選択的に受付けて、メモリ2へ出力するものである。

【0013】たとえば、現在、バス3あるいはバス4からのアクセス要求に応じて処理を実行している状態で、バス3とバス4から次のアクセス要求が選択回路6に供

3

給された場合、バス 3 に対する固定優先モードが指示されている際には、バス 3 からのアクセス要求を選択的に受付け、バス 4 に対する固定優先モードが指示されている際には、バス 4 からのアクセス要求を選択的に受付け、回転優先モードが指示されている際には、現在実行中ではないバス（3 あるいは 4）からのアクセス要求を選択的に受付ける。そして、上記実行中の処理が終了した際に、次に受付けたアクセス要求をメモリ 2 に出力してアクセス処理を実行する。

【0014】上記したように、2 つの以上のバスからメモリがアクセスされるものにおいて、1 つのバスからのメモリのアクセスを優先する固定優先モードと各バスからのメモリのアクセスを順次優先する回転優先モードとのいずれか一方を指示し、1 つのバスに対する固定優先モードが指示されている場合に、そのバスからのメモリのアクセス内容に応じた処理を実行し、回転優先モードが指示されている場合に、順次、現在実行中のバスとは異なったバスからのメモリのアクセス内容に応じた処理

4

を実行するようにしたものである。これにより、2 つ以上のバスからメモリをアクセスする場合のアクセスの優先順位を自由に設定でき、汎用性を向上できる。

【0015】

【発明の効果】以上詳述したようにこの発明によれば、2 つの以上のバスからメモリがアクセスされるものにおいて、2 つ以上のバスからメモリをアクセスする場合のアクセスの優先順位を自由に設定でき、汎用性を向上できるメモリ制御装置を提供できる。

【図面の簡単な説明】

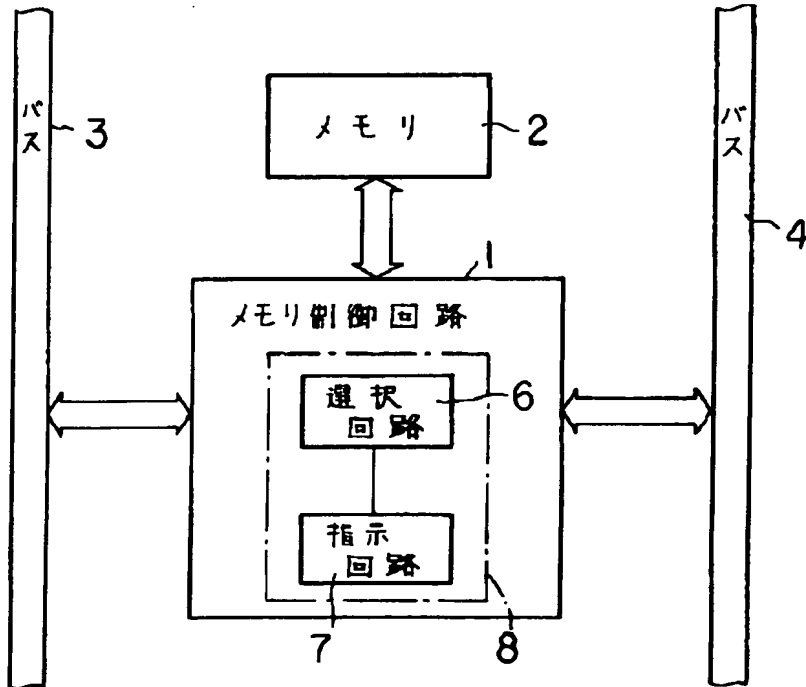
【図 1】この発明の一実施例におけるメモリ制御装置の全体の構成を示すブロック図。

【図 2】図 1 の指示回路における指示条件の対応関係を説明するための図。

【符号の説明】

1…メモリ制御回路、2…メモリ、3、4…バス、6…選択回路、7…指示回路。

【図 1】



【図 2】

第 2 選択信号	0	1
0	ラウンドロビン	バス 3 優先
1	バス 4 優先	ラウンドロビン